

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-050685

(43)Date of publication of application : 25.03.1983

(51)Int.Cl.

G11B 27/02

G11B 5/09

(21)Application number : 56-148597

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

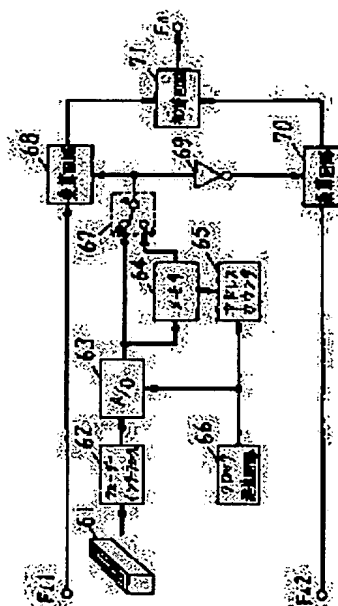
(22)Date of filing : 18.09.1981

(72)Inventor : SHIRAGAMI KAZUHARU
KIHARA NOBUYOSHI
MATSUSHIMA KOJI

(54) EDITING DEVICE OF DIGITAL SIGNAL

(57)Abstract:

PURPOSE: To realize the editing with a fading process carried out with a simple constitution and an easy operation, by setting either the fade-in or fade-out characteristics with a single manual varying means to store and obtaining both characteristics at the same time in the reading mode.
CONSTITUTION: The resistance change of a fader 61 is converted into a DC voltage change through a fader interface 62, and the DC voltage is converted into a digital signal. This fader digital signal is stored in a memory 64 and at the same time fed to a multiplier circuit 68. The circuit 68 performs an operation for the PCM data Fi1 and the fader signal then fades out the PCM data. This fader signal is inverted by an inverter 69 and fed to a multiplier circuit 70. The circuit 70 operations for the data Fi1 and the fader signal and fades in the PCM data Fi2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭58—50685

⑬ Int. Cl.³
G 11 B 27/02
5/09

識別記号

庁内整理番号
6507—5D
8021—5D

⑭ 公開 昭和58年(1983) 3月25日

発明の数 1
審査請求 未請求

(全13頁)

⑮ デジタル信号編集装置

⑯ 特 願 昭56—148597
⑰ 出 願 昭56(1981) 9月18日
⑱ 発 明 者 白神和治
門真市大字門真1006番地松下電
器産業株式会社内
㉑ 発 明 者 木原信義

門真市大字門真1006番地松下電
器産業株式会社内
㉒ 発 明 者 松島宏司
門真市大字門真1006番地松下電
器産業株式会社内
㉓ 出 願 人 松下電器産業株式会社
門真市大字門真1006番地
㉔ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

デジタル信号編集装置

2、特許請求の範囲

テープ、ディスク等の音源から再生されたディ
ジタル信号のレベルの変化特性を手動により可変
設定するフェード特性設定手段と、このフェード
特性設定手段により設定されたレベルの変化特性
を記憶するメモリと、このメモリの読出し出力に
よって前記再生されたデジタル信号のレベルを
制御する第1の手段と、前記メモリの読出し出力
から作成した他のレベル変化特性を用いて、他の
再生されたデジタル信号のレベルを制御する第
2の手段と、前記第1、第2の手段の出力を合成
してクロスフェードされて連続された出力信号を
記録する手段とを備えたことを特徴とするディ
ジタル信号編集装置。

3、発明の詳細な説明

本発明は、デジタル録音再生装置等により再
生されるデジタル信号を編集するデジタル信

号編集装置に関し、ひとつの手動フェーダーによ
りクロスフェード処理を行なってなめらかにディ
ジタル信号をつなぐことができ、精密な編集を容
易な構成および操作により実現できるデジタル
信号編集装置を提供するものである。

従来、アナログ録音されたテープの編集におい
ては、録音済みテープの有用な部分を手切りして
つなぎあわせ1本のテープとする手切り編集が行
なわれてきた。この様子を第1図に示す。第1図
において、1'、2'はそれぞれ異なる録音済みテ
ープの一部であり、1'のA部は必要な部分、B部は
不要な部分、2'のC部は不要な部分、D部は必要
な部分とする。これらのテープをそれぞれ切断し、
機械的につなぎあわせることにより望ましいテ
ープ3を得ることができる。この際に、テープ1'、
2'の切断位置すなわちAとBおよびCとDの境
界(以下編集点と呼ぶ)を見つけることが必要で
あるが、そのためには以下のような作業が必要で
あった。すなわちテープレコーダを再生状態にし、
再生音を聞きながら編集点とおぼしき位置で停止

3

させる。ここでより正確な編集点を探すためにはテープレコーダの巻取りールおよび供給リールを手動で互いに同方向に正転または逆転させ、このときの再生音を聞いて判断することにより決定する。すなわち、このような微調整を行なって望ましい編集点であると判断した時に再生ヘッドのギャップ部に当接しているテープ位置を正確な編集点として、上記のような切断を行なっていた。また第1図のようにテープを斜めに切断するのは、編集後のテープを再生したときに編集点で再生音が不連続とならないように考慮された結果である。このようにすれば、A部の音は徐々に小さくなり(フェードアウト)、D部の音が徐々に大きくなる(フェードイン)効果があるためである。この接続部の処理をクロスフェードと呼ぶ。

このような編集作業は音楽テープなどを作成する際には必要不可欠のものであるが、近年実用化されつつあるデジタル録音再生装置に適用する際には困難な問題が生ずる。すなわち、デジタル録音再生装置においては記録信号はデジタル

信号であるためアナログ信号のように斜め切りすることはその期間だけ意味のない情報が続くことであり、再生音に有害な影響を与えることは自明である。一方、できるだけ失われる情報を少なくするためにテープ進行方向に垂直に切断した場合にも通常デジタル録音再生装置においては数十サンプルの情報ビットに対して誤り、訂正コードなどを付して1PCMフレームとして記録するため、1PCMフレームの誤りは避けられない。従って、(i)その部分にミューティングをかける、(ii)その部分を飛ばして前後の情報をつなぐ、などの操作が必要であり、いずれにしてもその部分での原情報の音質に対する低下は本質的に問題である。

本発明は上記従来の欠点を解消するものであり、編集点での信号の欠落や不連続のないめらかな編集を可能とし、ひとつの手動フェーダーによりクロスフェード処理を可能とした新規なデジタル信号編集装置を提供するものである。

以下本発明の一実施例を図面に基づいて説明する。まず本発明のデジタル信号編集装置の編集

5

方式の概略を説明する。この方式では録音済テープを機械的に切断することせず、デジタル録音再生装置を3台使用し、第1のデジタル録音再生装置の再生デジタル信号を編集点まで再生し、その後第2のデジタル録音再生装置の再生デジタル信号に切り替えて第3のデジタル録音再生装置に録音し、編集されたテープを作成する。これを第2図で説明する。すなわち、第2図において、(a)は第1のデジタル録音再生装置に装着された第1のテープであり、(b)は第2のデジタル録音再生装置に装着された第2のテープであり、(c)は編集したデジタル信号を録音するための第3のテープであり第3のデジタル録音再生装置に装着されている。まず第1のデジタル録音再生装置に装着された第1のテープを必要な部分Aの始まり点4より少し多めに巻き戻すと同時に、第2のデジタル録音再生装置に装着された第2のテープをCとDの境界より L_2 だけ手前に巻き戻す。そして第1のテープを再生し、Aの始まり点4に到達すると、第3のデジタル録音

6

再生装置に装着された第3のテープを録音状態とし、第1のテープのAの部分で録音する。そして第1のテープAとBの境界より L_1 分だけ手前になると、第2のテープを再生する。ここで $L_1 \approx L_2$ とするが、この値は、第1のテープのAとBの境界に第1のデジタル録音再生装置の再生ヘッドが当接する瞬間において第2のテープのC、Dの境界に第2のデジタル録音再生装置の再生ヘッドが当接するように、第1のテープ及び第2のテープを同期走行させるのに十分な長さであればよい。

このようにして第1のテープと第2のテープを同期走行させ、第3のテープに録音するデジタル信号を第1のテープのAとBの境界から第2のテープのDに切り替えることにより、Cのような第3の編集されたテープを作成することができる。このときAとDの境界において、Aのデジタル信号と、この信号を制御する手動フェーダーに関連したフェーダーデジタル信号により、デジタル演算しフェードアウトする。またDのディ

タル信号と、前記手動フェーダーに関連したフェーダーデジタル信号により、デジタル演算しフェードインする。そしてフェードアウト、フェードインしたそれぞれのデジタル信号を加算する。

本発明は以上のような思想に基づいたデジタル信号編集装置を実現するもので、以下、実施例に関して詳細な説明を述べる。第3図において、5はこの装置の制御を行なうCPU（マイクロコンピュータ）、6はCPU6のプログラムが格納されているROM、7はCPU6が必要とするデータを保存するRAM、8はデータバス（アドレスバスについては図では省略する）、9はこの装置に対する制御命令を与える操作入力部、9'は操作入力をCPU6が受けとったことを示すための表示、あるいはこの装置の他の部分を制御するために制御信号を出力するための制御出力部、10は上記9、9'をCPU6とインターフェースするためのインターフェース素子である。一方、P₁、P₂はそれぞれ第1および第2デジタル録音再

生スイッチ、18はD/A変換器、19は低域フィルタ、20は増幅器、21はモニター用スピーカである。Rは第3PCMテープレコーダ（記録側テープレコーダ）への出力端子である。22は基準クロックパルス発生回路、23は手動クロックパルス発生器、24は上記基準クロックパルス発生回路22と手動クロックパルス発生器23の出力のどちらか一方を、制御出力部9'の出力によって選択して出力する切替スイッチである。TP₁端子はP₁端子に接続される第1のPCMテープレコーダで再生したSMPTEタイムコードの入力端子、26は上記タイムコード入力とCPU6をインターフェースするタイムコードインターフェース回路、TP₂端子はP₂端子に接続される第2のPCMテープレコーダで再生したSMPTEタイムコードの入力端子、26は上記タイムコード入力とCPU6をインターフェースするタイムコードインターフェース回路である。

次に同じく第3図に基づき同実施例の動作を説明する。前提として、P₁端子に接続される第1

生装置（以下PCMテープレコーダと呼ぶ）からのPCMデータ入力端子である。11はCPU6からインターフェース素子10を介した制御出力部9'の出力により制御されるスイッチ、12はスイッチ11を介したPCMデータを書き込み記憶するメモリ、13はメモリ12のアドレスカウンタ、14はアドレスカウンタ13とCPU6をインターフェースするインターフェース素子、15は入力端子P₁から入力される第1のPCMテープレコーダのPCMデータと入力端子P₂から入力される第2のPCMテープレコーダのPCMデータをデジタル演算してクロスフェードを生じさせるためのクロスフェード処理回路である。16は補間回路であり、メモリ12が可変速再生された場合で、もとのサンプリング周波数より低いクロック周波数でメモリを読み出したときには、そのクロック周波数が雑音として再生音声に混入するのを防止するためのものである。17は上記クロスフェード処理回路15と補間回路16の出力のどちらか一方を制御部9'の出力によって切り替え

のPCMテープレコーダに装着するテープを第2図で説明した第1のテープとし、P₂端子に接続される第2のPCMテープレコーダを同じく第2のテープとし、R端子に接続される第3のPCMテープレコーダを同じく第3のテープとする。そしてそれぞれを再生側テープレコーダ1、再生側テープレコーダ2、記録側テープレコーダと呼ぶ。第2図(c)に示す第3のテープを作るには、まず編集点すなわち第2図(a)に示す第1のテープのAの開始点4及びA、Bの境界及び(b)に示す第2のテープのC、Dの境界の正確な位置を探す必要がある。

次に編集点を決定するための動作を説明する。まずAの開始点4を決定するために再生側テープレコーダ1により第1のテープの4より前の部分を再生し、P₁端子に入力する。この時スイッチ11はg-hがONとなっており、P₁端子にPCMデータが入力されると、このデータはスイッチ11を介して、メモリ12に巡回的に記録される。すなわちメモリ12の最後の番地まで書き込み

が終われば再び最初の番地から書き込みを始めるわけで、結果として、ある瞬間をとってみれば、メモリ12に記憶されているPCMデータは常にその瞬間から一定時間前までのデータが連続して記憶されていることになる。このメモリ12のアドレスはアドレスカウンタ13によって制御されている。このカウンタ13のクロックパルスは、スイッチ24のa-dをONすることにより基準クロックパルス発生回路22から発生されたクロックパルスが供給されるようになっている。更にスイッチ17はa-bがONとなっており、入力されたPCMデータはクロスフェード処理回路16を素通りし、スイッチ17を介し、D/A変換器18によりもとのアナログ信号に変換され、低域フィルタ19により高域成分がカットされ、増幅器20により増幅され、スピーカ21に供給され、再生側テープレコーダ1の音声モニターされる。

以上の各部の制御、例えばスイッチ11、17、24の極性、クロスフェード処理回路15のディ

容は第4図のようになっている。ここで諸元を次のように仮定する。音声データは16ビット/サンプル、サンプリング周波数50KHz、メモリは256KW(1W=16ビット)、このようにすればメモリ12に記憶される音声データは256÷50K=5秒より約5秒分である。もちろんメモリを節約するために、メモリに記憶するデータを1サンプルおきにしてもよい(サンプリング周波数が半分になったことになる)。またはビット圧縮の方法を用いて1サンプルあたりのビット数を減らすなどの方法を適用してもよい。ここでは説明を簡単にするためにそのような処理は一切しないことにする。第4図において、256KWのメモリを模倣的に表わすが、音声データは左から右に順次書き込んでいき2FFFFFまで書けば再び000000から書き込むことになり、これが繰り返される。編集者が希望するタイミングに対応するメモリアドレスを図中Xで表わす。そして一定時間として、繰り返し周期内の例えば4秒間遅れのYのメモリアドレスに対応するタイミングで書

スエーブル化などはすべて制御出力部9からの信号により行なわれる。すなわち、キーボード押しボタンなどで構成される操作入力部9の信号がインターフェイス素子10、バスライン8を介してCPU5に伝送され、それに対応した制御信号がCPU5からバスライン6、インターフェイス素子10を介して制御出力部9から出力され、この信号により行なわれる。なお第3図では制御出力部9からのスイッチ以外の制御線は省略した。

編集者は、スピーカ21からの出力音声をモニターしながら編集したいタイミングであるという旨の信号を操作入力部9から入力する。この信号は上記の経路でCPU5に伝えられ、制御出力部9を介して次のような制御が行なわれる。まず編集者が希望する編集点より一定時間だけそれまでの動作を続け、一定時間後にメモリ12への書き込みを停止する。その後第1の再生側テープレコーダのテープ走行を停止する。テープレコーダの制御はCPU5の命令により行なわれるが図では全て省略する。さて、このときのメモリ12の内

き込みを終了させる。この結果メモリ12には(Y+1)→2FFFFF→000000→Yの順で音声記録されていることになる。

次に正確な編集点を探すために、メモリ12の内容を読み出すわけであるが、編集者が操作入力部9からこの装置が編集点探索モードになるように設定することにより各部への制御信号は以下のようになる。スイッチ17はa-cがONし、スイッチ24はd-fがONとなる。23はロータリーエンコーダなどで構成された手動クロックパルス発生器であり、動かす速度によって発生するパルスの周波数が増減するもので、停止させていれば全くパルスを発生しないものである。手動制御手段としてたとえば回転ダイヤルを採用すれば、その回転速度を上げるほど数多くのパルスを発生するものである。このパルスと回転方向の情報をアドレスカウンタ13に与えアップダウンカウンタとして動作させれば、例えば時計方向に回転させたときにはメモリを順方向すなわちX→Yの順にアドレス設定しメモリの内容を読み出す。この

読み出されたPCMデータは、補間回路16によりデータの補間をし、スイッチ17を介してD/A変換器18によりもとのアナログ信号に変換され、低域フィルタ19により高域成分がカットされ増幅器20により増幅され、スピーカ20に供給され編集者はその音をモニターする。そして上記回転ダイヤルの回転をはやくすればするほど再生させる音声の周波数が高くなる。反時計方向に回転させた時には、 $X \rightarrow 0000 \rightarrow 2FFFF \rightarrow (Y+1)$ の順に再生され、あたかも録音されたテープレコーダのテープを逆回転させたような音声再生される。この時も回転速度に応じて再生音の周波数かわるのは当然である。このように50KHzでサンプリングされメモリされた音声を可変速再生する場合には次のような問題がある。すなわち、再生が50KHz以上のクロック周波数で行なわれる場合は特に問題はないが、50KHzより低い周波数、例えば10KHzで再生した場合にはこのクロック周波数による10KHz成分が生じる。ところが低域フィルタ19の遮断周波数は

の1クロック周期後のタイミングである。 T_{10} , T_{11} , T_{12} , T_{13} , T_{14} , T_{20} はサンプリングクロックパルスのタイミングである。32は補間回路16の出力である。 T_{1n} ($n=0, 1, 2, 3, 4$)における補間回路16の出力 L_{1n} は次のようにして決められる。

$$L_{1n} = a + (b - a) \cdot n \cdot k \dots\dots\dots (1)$$

ここで k は手動クロックパルス発生器23の出力の周波数に逆比例する係数(傾き係数)で、例えば第6図の場合で簡単に決めれば、手動クロックパルス発生器23の出力は10KHz、サンプリング周波数は50KHzであるので $\frac{1}{5}$ とする。(1)式において、 $k = \frac{1}{5}$, $n = 0, 1, 2, 3, 4$ とすれば第6図の32の補間ができることがわかる。以上の機能を実現するためのブロック図を第7図に示す。

第7図に補間回路16のブロック図を示す62は補間回路への16ビットパラレル信号入力、63は手動クロックパルス発生器23の出力が入力される端子、64はサンプリングクロック(この場

例えば20KHzでサンプリング周波数50KHzのときの最適値となっている。したがって、上記10KHz成分は低域フィルタ19によって除去されずに雑音として聞こえることになる。この問題を解決するために補間回路16を動作させる。

次に第5図を参照しながら補間回路16の機能を説明する。第5図(a)はメモリーに記憶された音声信号を正常速度すなわち50KHzで再生し、D/A変換したものである。同じ信号を10KHzで再生し、D/A変換すると第5図(b)のようになる。ここで第5図(a), (b)におけるS点は同一サンプルであることを示す。これらの信号の不連続部分を第5図(c)に示すように50KHzでなめらかに補間することがこの回路の目的である。

まず、補間の考え方について説明する。第5図(b), (c)の一部の拡大図を第6図に示す。第6図において31は補間回路への入力である。 a , b はそれぞれメモリを読み出した出力で、時間的に相隣りあうサンプルのサンプル値である。 T_{10} , T_{20} は手動クロックパルスのタイミングで、 T_{20} は T_{10}

合50KHz)入力端子である。41, 42はラッチ回路、43はラッチ回路41の出力からラッチ回路42の出力を減算する減算回路、44は加算回路、45はサンプリングクロックで加算回路44の出力をラッチするラッチ回路である。46はリフアレンスクロックパルス発生回路(例えば50KHz \times 100=5MHzのクロックパルスを発生する)である。47は手動クロックパルス発生器23の出力でリセットされ、上記リフアレンスクロックパルス発生回路46の出力を計数するカウンタ、48はROMより成り、カウンタ47の出力の値をアドレスとして、そのアドレスに対応するROMの内容を出力して傾き係数 k を発生する回路、49はラッチ回路45の出力と傾き係数発生回路48の出力の傾きを乗算する回路、50は乗算回路49の出力とラッチ回路42の出力を加算する加算回路、51はラッチ回路43の出力の極性ビットをラッチし、乗算回路49の極性を決定する極性決定回路である。55は補間回路の出力である。

ラッチ回路41, 42の出力はそれぞれ、第6図におけるb, aに対応する。減算回路43の出力は(1)式における $(b-a)$ である。更に加算回路44とラッチ回路45の組合わせによりその出力 $(b-a) \times n$ を得る。リフアレンスクロックパルス発生回路46の出力の周波数は5MHz、手動クロック発生器23の出力の周波数は10KHzであるから、カウンタ47の出力は500となる。この時例えばROMにより構成された傾き係数発生回路48の出力kとして $100/500 = 1/5$ を出力する。すなわちカウンタ47の出力をZとすれば $\frac{100}{Z}$ をkとする。この結果乗算回路49の出力は $(b-a) \cdot n \cdot k$ が得られる。更に加算回路50の出力として(1)式の $a + (b-a) \cdot n \cdot k$ が得られる。したがって補間回路の出力55として第6図の点線32が得られるわけである。ここでaとbの大小関係により極性ビットが極性決定回路51を経て乗算回路49の符号ビットを変化させる。なお第7図においては、(1)式の第2項は $(b-a) \times n$ を先に計算する構成となっている。

SMPTEタイムコードではフレーム(30分の1秒)単位の信号が最小単位であるので、編集精度をこれ以上にするには、フレーム内で音声サンプリングパルスを計数しフレーム内の何サンプル目であるかという情報もあわせてCPU5が読み込んでRAM7に保存しておく必要があるが、第3図ではこのカウンタを省略し、タイムコードインタフェース回路25に含めるものとする。したがってこの時点でCPU5は時・分・秒・フレーム・サンプルの情報を読むことになる。次に編集点探索モードでは手動クロックパルス発生器23の出力によってアドレスカウンタ13とともにタイムコードインタフェース25内のカウンタが動作し、手動により修正した正確な編集点のタイムコード情報と更に細かいフレーム単位内のサンプル点情報すなわち時・分・秒・フレーム・サンプルの情報をCPU5が読むことになる。(図示せず)この情報をSP1とする。このようにして、正確なサンプル点のメモリ12内の位置、テープ上の位置の情報をCPU5が持つことになる。

るが、ハードウェアによっては、この段階でオーバーフローすることがあるので、 $k \times n$ を最初に計算する構成とすればその惧れはなくなる。

以上のようにして第3図の補間回路16の出力が得られ、D/A変換器18、低域フィルタ19、増幅器20を経てスピーカ21から可変速再生された音声モニターできる。このとき回転ダイヤルを正逆転させれば従来のアナログテープレコーダのリールを手動で正逆回転させたときの再生音と全く同じものが聞こえる。

このようにして編集したい点で回転ダイヤルを止め、その点が編集点である旨の信号をCPU5に与える。これで第2図におけるAの開始点4の位置が決定したわけである。この位置をCPU5が認識するには次のような過程を経る。まず最初に編集者から与えられた編集点であるというタイミングでPCMデータと同時に入力されているTp1端子からのタイムコード入力信号をタイムコードインタフェース25、バスライン8を経てCPU5が読み込み、RAM7に保存する。ここで

次に第2図(a)の第1のテープのA, Bの境界を決定する。前述と同様にして編集者がスピーカ21からの出力音声をモニターしながら編集したいタイミングすなわち第1のテープのA, Bの境界付近で前述と同様に操作入力部9からその旨の信号を入力する。その後、一定時間メモリ12に書き込みを続け、停止するところまでは同様である。ただしこの場合は、メモリ12の容量が約5秒あるとすれば、指定点から5秒の半分の時間より短い時間例えば1秒経過した時点で、メモリ12への書き込みを停止する。このときのメモリ12内のようすを第8図に示しX, Yはそれぞれ X_{P1} , Y_{P1} に相当する、メモリ12内の正確な編集点を探す操作は前述と同様でスイッチ17はa-bがON, スイッチ24はd-iがONとなり、ダイヤルを正方向に回転させた時にはメモリ12の内容は $X_{P1} \rightarrow Y_{P1}$ の順に再生され、逆方向に回転させた場合には $X_{P1} \rightarrow 00000 \rightarrow 2FFFF \rightarrow (Y_{P1}+1)$ の順に再生される。このようにして回転ダイヤルの回転とともに音声再生されるわ

けであるから回転ダイヤルを正しい位置で停止させてこの点を編集点として指定することができる。この点の位置情報は前述の場合と同様の操作でCPU 5に読み込みRAM 7に保存する。この点のメモリ上のアドレスを $X_{P1} + N_{P1}$ とする。また前述と同様に、手動により修正した正確な編集点のタイムコード情報及びサンプル点情報を E_{P1} とする。

次に前述で設定された編集点(メモリ内のアドレス $X_{P1} + N_{P1}$)が正しいかどうかメモリ12の内容を指定されたアドレス分を連続して基準クロックで読み出しモニターするわけであるが、編集者が操作入力部9からこの装置が編集点メモリ・プレモニターモードになるよう設定することにより各部への制御は以下のようになる。スイッチ17はa-cがONし、スイッチ24はd-eがONとなる。またCPU 5は、RAM 7に保存されているアドレスカウンタの情報 Y_{P1} を、データバス8、インターフェース素子14を介してアドレスカウンタ13に初期値としてプリセットする。

っており、 P_2 端子にPCMデータが入力されると、このデータはスイッチ11を介して、メモリ12に巡回的に記録される。

以後は、第2図(a)に示す第1のテープの開始点4を決定する内容と同一であるため説明を省略する。ここで設定された第4図のX、Yをそれぞれ X_{P2} 、 Y_{P2} とし、編集点でのメモリ12内のアドレスを $X_{P2} + N_{P2}$ 、タイムコード情報及びサンプル点情報を E_{P2} とする。

次に前述で設定された編集点(メモリ内のアドレス $X_{P2} + N_{P2}$)が正しいかどうかメモリ12の内容を指定されたアドレス分連続して基準クロックで読み出しモニターするわけであるが、編集者が操作入力部9からこの装置が編集点メモリ・プレモニターモードになるよう設定することにより各部への制御は以下のようになる。スイッチ17はa-cがONし、スイッチ24はd-eがONとなる。またCPU 5は、RAM 7に保存されているアドレスカウンタの情報 $Y_{P2} + 1$ を、データバス8、インターフェース素子14を介してア

基準クロック発生回路22より発生したクロック信号は、スイッチ24を介し、アドレスカウンタ13に入力する。アドレスカウンタ13は、CPU 5の命令に基づいて $Y_{P1} \rightarrow 2FFFF \rightarrow 0000 \rightarrow X_{P1} + N_{P1}$ の順にアドレスを変化させてメモリ12を読み出すと同時に、このアドレスは、インターフェース素子14を介してCPU 5に入力される。メモリ12より読み出されたデジタル信号は、補間回路16を素通りし、スイッチ17 D/A変換器18、低域フィルタ19、増幅器20を経てスピーカ21より連続した音声信号としてモニターされる。

以上の編集点メモリ・プレモニターモードで編集点に問題があればメモリ内での編集点の決定作業以降の過程をくり返し、適当な編集点が得られれば次の作業に進む。

次に第2図(b)の第2のテープのC、Dの境界を決定するために第2の再生側テープレコーダにより第2のテープの2の部分再生し、 P_2 端子に入力する。この時スイッチ11は、g-iがONと

レスカウンタ13に初期値としてプリセットする。基準クロック発生回路22より発生したクロック信号は、スイッチ24を介し、アドレスカウンタ13に入力する。アドレスカウンタ13は、CPU 5の命令に基づいて $Y_{P2} + 1 \rightarrow 2FFFF \rightarrow 0000 \rightarrow X_{P2} + N_{P2}$ の順にアドレスを変化させてメモリ12を読み出すと同時に、このアドレスは、インターフェース素子14を介してCPU 5に入力される。メモリ12より読み出されたデジタル信号は、補間回路16を素通りし、スイッチ17、D/A変換器18、低域フィルタ19、増幅器20を経てスピーカ21より連続した音声信号としてモニターされる。以上の編集点メモリ・プレモニターモードで編集点に問題があればメモリ内での編集点の決定作業以降の過程をくり返し、適当な編集点を得られれば次の作業に進む。

次に第2図(c)の日3のテープのごとく、AとDをクロスフェードするためのフェード特性を次のようにして設定する。

実際のテープには記録せずに、第1および第2

の再生側テープレコーダを走行させて、第1回目のテープ・ブレモニター動作を行なう。編集者が操作入力部9からこの装置がテープ・ブレモニターモードとなるように設定すると、CPU6からの指令により第1および第2の再生側テープレコーダを、それぞれの編集点 Ep_1 、 Ep_2 よりモニターに必要な時間分十同期走行制御に必要な時間分、(例えば第2図 L_1 、 L_2)巻き戻し、再生状態とし前述で求めたそれぞれの編集点 Ep_1 と Ep_2 が同一時間に第3図 P_1 および P_2 に入力されるようそれぞれのテープを同期制御し適当な遅延回路によりタイミングを調整する。まず第2図(a)のAの信号のみを、クロスフェード処理回路15により通過させる。

次に第2図(a)の第1のテープの編集点付近になると、クロスフェードを行なうが、ここでクロスフェード処理について具体的に述べる。第9図は第3図におけるクロスフェード処理回路15の詳細なブロック図である。Fi1は第3図における P_1 からのPCMデータ入力、Fi2は同じく P_2 か

入力されるPCMデータと、インバータ69からのフェーダーデジタル信号とを演算する乗算回路、71は乗算回路68、70の出力を加算する加算回路である。編集者はマニュアルフェーダー61の抵抗値を無限大からゼロとなる方向に操作すると、フェーダーインターフェース62は、抵抗値の変化をDC電圧変化に変換する。このDC電圧は、A/D変換回路63でクロック発生回路66のクロックによりサンプリングされデジタル信号に変換される。この特性を第10図72とする。そして変換されたフェーダーデジタル信号は、外部(第3図9制御出力部)によりクリアされゼロからクロック発生回路66のクロックでスタートしたアドレスカウンタ65によりアドレスセットされるメモリ64に記憶されると同時にスイッチ67のa-bを介し乗算回路68に入力される。乗算回路68は、Fi1から入力されたPCMデータと、スイッチ67を介し入力されたフェーダーデジタル信号とを演算しFi1から入力されたPCMデータをフェードアウトする。

らのPCMデータ入力である。

編集者が操作入力部9からこの装置がマニュアルフェーダー設定モードになるよう設定することにより各部への制御信号は以下のようになる。スイッチ67はa-bがONとなる。61は可変抵抗などから構成されるマニュアルフェーダーで、62はマニュアルフェーダー61と回路とを接続するフェーダーインターフェース、63はサンプリング・ホールド回路から成るA/D変換回路、64は63A/D変換回路のフェーダーデジタル信号をそれぞれ記憶するメモリ、65は66クロック発生回路のクロック信号により、メモリ64のアドレスを設定するアドレスカウンタ、67はA/D変換回路63のフェーダーデジタル信号と、メモリ64から読み出されたフェーダーデジタル信号とを切り替えるスイッチ、68はFi1から入力されるPCMデータと、67スイッチからのフェーダーデジタル信号とを演算する乗算回路、69はスイッチ7からのフェーダーデジタル信号を反転するインバータ、70はFi2から

またスイッチ67を介したフェーダーデジタル信号は、インバータ69により反転され乗算回路70に入力される。乗算回路70は、Fi2から入力されたPCMデータと、インバータ69により入力されたフェーダーデジタル信号とを演算しFi2から入力されたPCMデータをフェードインする。さらに加算回路71は乗算回路68によりフェードアウトしたPCMデータと、乗算回路70によりフェードインしたPCMデータとを加算しクロスフェードされた F_0 の出力を得る。この F_0 は、第3図のスイッチ17に入力される。

ここで諸元を次のように仮定する。マニュアルフェーダーからのDC電圧は8ビット/サンプル、サンプリング周波数30Hz、メモリーは300W(1W=8ビット)、このようにすればメモリ64、71に記憶されるデータは、 $300 \div 30 = 10$ よりそれぞれ10秒分である。

ゆえに編集者は、第3図のクロスフェード処理回路15のPCMデータ信号を、スイッチ17、D/A変換器18、低域フィルタ19、増幅器

20、スピーカ21を介してモニターしながら、マニュアルフェーダー61を操作することにより独特のクロスフェード特性（例えば第10図の特性）を得ることができる。

なお上記の構成では乗算回路68、70に入力されるフェーダーデジタル信号は互いに補数の関係であるため、加算回路71のクロスフェード出力信号が飽和しないという利点を有する。

ここで前述の編集者がマニュアルフェーダー設定モードとなるよう設定した時、すなわちアドレスカウンタ65がスタートした時、第3図CPU6は、第1および第2の再生側テープレコーダから再生される（Tp1及びTp2から入力される）タイムコード信号を、タイムコードインターフェース回路25、26を介してRAM7に入力する。この時のタイムコードをFT1とする。

次にクロスフェード時間が終了すると（上記では10秒経過すると）クロスフェード処理回路15は、P2から入力された信号のみを通過させ、メモリ64の書き込みを停止する。

フェーダーデジタル信号）が記憶されているメモリ64を10秒間読み出す。この読み出されたフェーダーデジタル信号はスイッチ67を介し、乗算回路68に入力する。乗算回路68はFi1端子から入力されるPCMデータとメモリ64より読み出されたフェーダーデジタル信号とで演算を行ないフェードアウトする。またスイッチ67を介し、インバータ69により反転したフェーダーデジタル信号は乗算回路70に入力される。乗算回路70はFi2端子から入力されるPCMデータとインバータ69により入力されたフェーダーデジタル信号とで演算を行ないフェードインする。

加算回路71は乗算回路68によりフェードアウトしたPCMデータと、乗算回路70によりフェードインしたPCMデータとを加算しクロスフェードされたF0の出力を得る。以上のように前述の第1回目のテープ・プレモニターモード時に設定したクロスフェードの特性が、メモリ64を使用することにより再現できる。

テープ上の正確な編集点は前述のようにRAM7に保存されているので、テープの同期走行、上記遅延回路の遅延量、クロスフェードのタイミングなどはすべてCPU6からの指令によって行なわれる。

以上の過程により、第1回目のテープ・プレモニターが終了し編集点付近のクロスフェード特性が内蔵されているメモリ64に記憶される。

次に第1回目設定したクロスフェード特性通りに編集されるかどうか第2回目のテープ・プレモニターを行なう。第2回目のテープ・プレモニターは、第1回目のテープ・プレモニターと同一な操作、制御を行なうが、CPU6は、タイムコードインターフェース回路25を介しTp1より入力されたタイムコード信号と、前述で設定したタイムコード値ET1と同一となると、第9図スイッチ67のa-cをON、アドレスカウンタ65をクリアーしスタートさせる。（アドレスカウンタをゼロよりスタートさせる。）アドレスカウンタ65は、マニュアルフェーダーの情報（フェ

以上の過程により、テープ・プレモニターが終了する。ここで編集点付近のクロスフェード特性に問題があれば前記第1回目のテープ・プレモニター動作をくり返し、メモリ64のフェーダーデジタル信号を記憶し直す。適当なクロスフェード特性が得られれば次の編集作業に進む。

編集作業において、それぞれの編集点付近は第2回目のテープ・プレモニターの動作と同一であるが、編集作業は、第2図の第1のテープ及び第2のテープの必要な部分を再生して第3のテープに記録しなければならないため、第1の再生側テープレコーダを第2図(a)の第1のテープのAの開始部分より少し前まで巻き戻す。また第2の再生側テープレコーダを、第2図(b)の第2のテープのC、Dの編集点E_{P2}よりL2の時間分巻き戻す。そして第1の再生側テープレコーダを再生し、第3図のFi端子に第2図(a)のAの開始点4がデジタル信号として入力されると、クロスフェード処理回路15を素通りし、スイッチ17を介しR端子に出力する。R端子には記録側テープレコーダ

が接続されておりこのテープレコーダを記録状態とする。

次に第1の再生側テープレコーダが第2図(a)のAのクロスフェード部分よりL₁手前まで再生すると、第2の再生側テープレコーダを再生し、前述で求めたそれぞれの編集点EP₁とEP₂が同一時間に第3図P₁及びP₂に入力されるようそれぞれのテープを同期制御し適当な遅延回路によりタイミングを調整する。以後は第2回目のテープ・ブレモニターの動作とまったく同一な動作を行なうことによりR端子に接続されている記録側テープレコーダに第2図(c)のごとく編集される。

上記の実施例によれば、テープデッキの記録フォーマットとは全く関係なく音声のPCM信号そのものの段階で編集するため、記録側テープレコーダで新たに再構成して記録する際の手切り編集で生じた情報の欠落なども全く生じない。

また再生側テープレコーダの出力をいったんメモリに記憶させ、このメモリを読み出してモニターし編集を行なうため、精度が高く、編集点の選

を単一の手動可変手段により設定でき、さらに得られたその特性をメモリに記憶し、このメモリを読み出し時に記憶された一方のフェード特性と、これを用いて形成した他方のフェード特性とを同時に得ることができるから、非常に簡単な構成と容易な操作でクロスフェード処理を施した編集が可能となるものである。

4、図面の簡単な説明

第1図はアナログ編集の概念を示す説明図、第2図は本発明のデジタル信号編集装置に採用した編集方式の概念を示す説明図、第3図は本発明のデジタル信号編集装置の一実施例を示すブロック図、第4図はメモリ12の書き込み状態を示す説明図、第5図は補間の概念を説明する波形図、第6図は本実施例の補間機能を説明する波形図、第7図は補間回路の構成を示すブロック図、第8図はメモリ12の書き込み状態を示す説明図、第9図はクロスフェード処理回路の構成を示すブロック図、第10図はマニュアルフェーダーにより設定したフェード曲線を示す特性曲線図である。

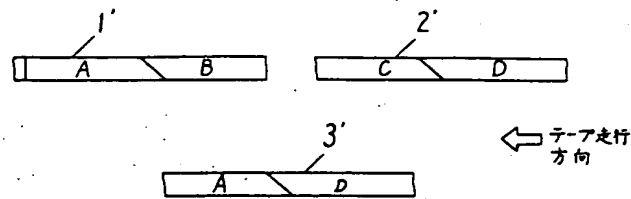
定が容易となる。特に補間回路を設けたことにより、メモリを手動で可変速に読み出すことが可能となり編集点をアナログ信号のテープの場合と同様に容易に選ぶことができる。さらに編集点の近傍でクロスフェード処理を施すにあたり、単一の手動フェーダーを用いてフェードアウト特性とフェードイン特性とを作成することが可能となり、これを上記のように非常に簡単な構成で実現できる。また、一方のフェード特性を他方のフェード特性を反転させて作成することからそれぞれの特性処理をされた信号同士を加算した時に飽和が起らないという実用上便利な特徴も有する。上記のフェード特性はメモリに記憶させ、一方再生信号も上述のように他のメモリに記憶させてあるので、これらのメモリを読出してリハーサルが可能であり、またそれぞれ容易にメモリの内容を書き直して再びリハーサルができることも実用性を高める上で大きな効果がある。

以上のように本発明によれば、再生デジタル信号のフェードイン、フェードアウト特性の一方

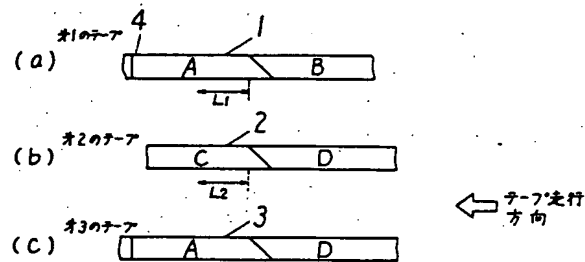
6……CPU、6……ROM、7……RAM、
9……操作入力部、9'……制御出力部、12……メモリ、13……アドレスカウンタ、15……クロスフェード処理回路、16……補間回路、18……D/A変換器、22……基準クロック発生回路、23……手動クロック発生器、61……マニュアルフェーダー、63……A/D変換回路、64……メモリ、65……アドレスカウンタ、66……クロック発生回路、68、70……乗算回路、69……インバータ、71……加算回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

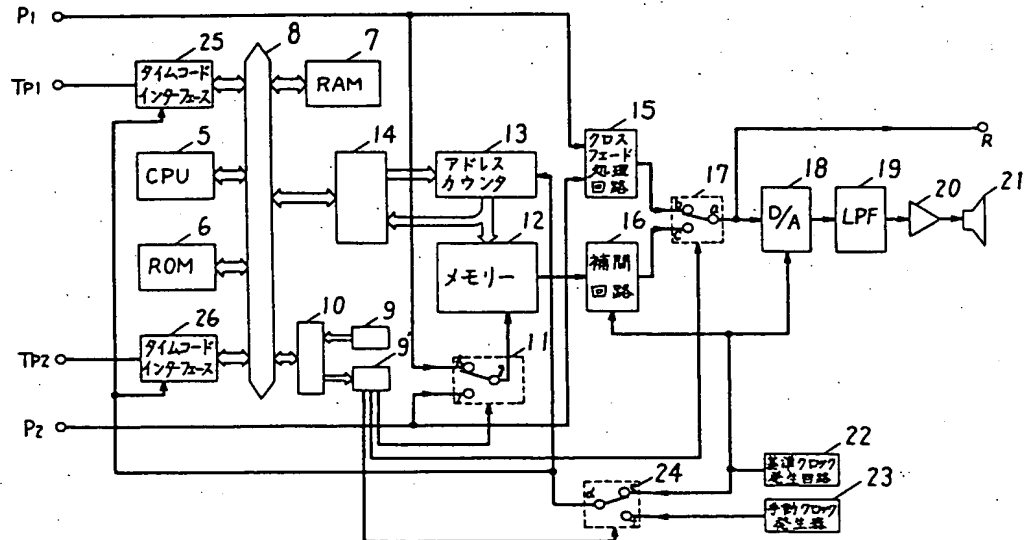
第 1 図



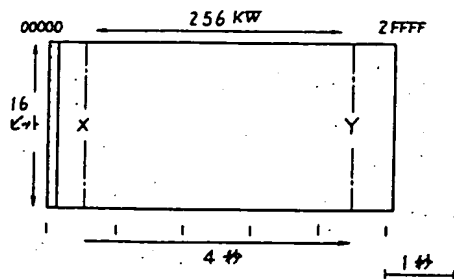
第 2 図



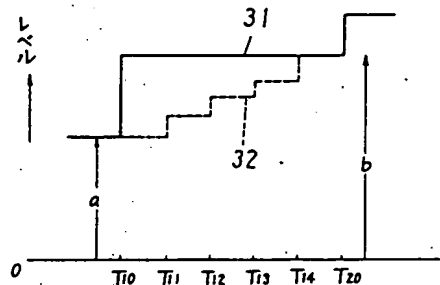
第 3 図



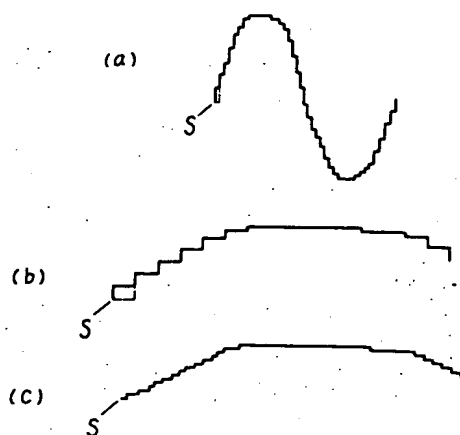
第 4 図



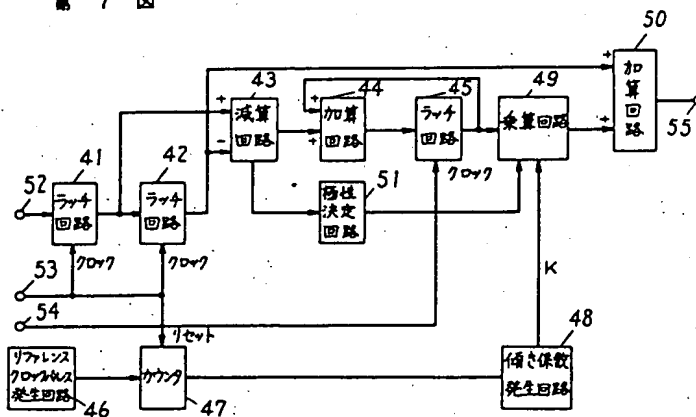
第 6 図



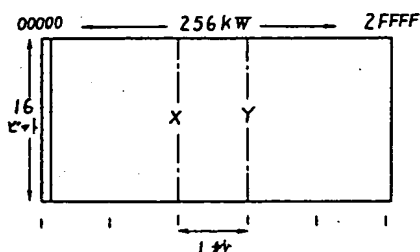
第 5 図



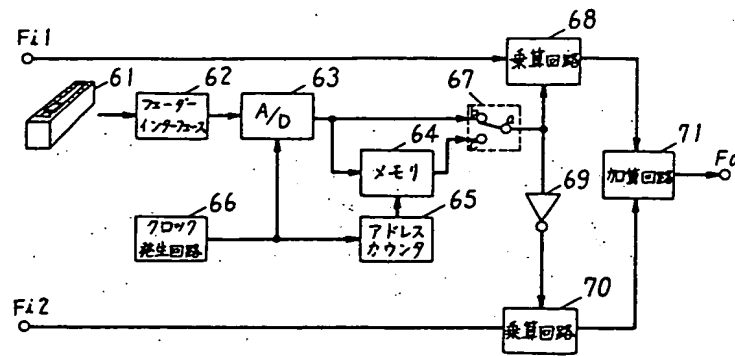
第 7 図



第 8 図



第 9 図



第 10 図

